

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 01-109749

(43)Date of publication of application : 26.04.1989

(51)Int.Cl.

H01L 21/90

(21)Application number : 62-267088

(71)Applicant : OKI ELECTRIC IND CO LTD

(22)Date of filing : 22.10.1987

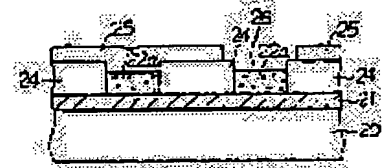
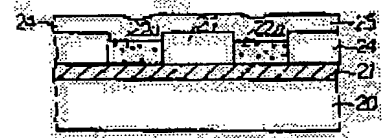
(72)Inventor : KITABAYASHI HIRONORI

(54) FORMATION OF WIRING

(57)Abstract:

PURPOSE: To improve a wiring density, by burying a first wiring layer in a second insulating film not so deep as the thickness of the second insulating film.

CONSTITUTION: A first insulating film 21 for isolating semiconductor elements is deposited on a semiconductor substrate 20. On said first insulating film, a first wiring layer 22a is embedded in a second insulating film 24 by a lift-off method so that the layer 22a is thinner than the second insulating film 21. Then, a third insulating film 25, which has an etching rate that is different from the second insulating film 24, is deposited on the entire surface of the second insulating film 24. Thereafter, the third insulating film 25 is selectively etched in the overlapped state with the first insulating film 21. Thus holes 26 for contact are formed. Then, a second wiring layer 24 is deposited on the third insulating film 25. The second wiring layer 27 is connected to the first wiring layer 21 through the holes 26. Thus, the wiring density is improved.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑤Int. Cl.

H 01 L 21/90

識別記号

庁内整理番号

B-6708-5F

⑬公開 平成1年(1989)4月26日

審査請求 未請求 発明の数 1 (全5頁)

⑭発明の名称 配線形成方法

⑮特 願 昭62-267088

⑯出 願 昭62(1987)10月22日

⑰発 明 者 北 林 宥 憲 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内

⑱出 願 人 沖電気工業株式会社 東京都港区虎ノ門1丁目7番12号

⑲代 理 人 弁理士 柿本 恭成

明 細 書

1. 発明の名称

配線形成方法

2. 特許請求の範囲

半導体素子間を分離するための第1の絶縁膜を半導体基板上に被着する工程と、

前記第1の絶縁膜上において第1の配線層をリフトオフ法によって第2の絶縁膜中にその第2の絶縁膜よりも深く埋込む工程と、

全面に前記第2の絶縁膜と異なるエッチングレートを有する第3の絶縁膜を被着する工程と、

前記第1の配線層にオーバーラップして前記第3の絶縁膜を選択的にエッチングしてコンタクト用開口部を形成する工程と、

前記第3の絶縁膜上に第2の配線層を被着しその第2の配線層を前記開口部を通して前記第1の配線層に接続する工程とを、

順に施すことを特徴とする配線形成方法。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、半導体基板に形成された複数の半導体素子間を接続する多層配線の配線形成方法に関するものである。

(従来の技術)

従来、この種の配線形成方法としては、特開昭55-68655号公報、特開昭57-2521号公報、特開昭59-144151号公報、及び特公昭58-31731号公報に記載されるものがあった。以下、その構成を図を用いて説明する。

第2図(a)~(c)は従来の配線形成方法の一例を示す製造工程の断面図、及び第3図は配線形成後の平面図である。

この製造工程は、半導体素子間を接続する2層配線の製造工程を示すもので、以下図面を参照しつつ説明する。

(1) 第2図(a)の工程

シリコン基板1の主表面に半導体素子を形成した後、全面に半導体素子間分離用の酸化膜2を被着する。酸化膜2上に、電子ビーム蒸着法またはスパッタリング法によってAlからなる金属層を厚さ5,000~6,000Å程度被着し、その金属層をホトリソ・エッチング技術によって選択的に除去して下層の配線層3を形成した後、400℃以下の低温気相成長法によって厚さ6,000~10,000Å程度の酸化膜4を全面に被着する。

(II) 第2図(b)の工程

配線層3上の酸化膜4をホトリソ・エッチング技術によって選択的にエッチングし、配線層3の幅よりも小さいコンタクト用の開孔部5を形成する。

(III) 第2図(c)の工程

電子ビーム蒸着法あるいはスパッタリング法によって全面にAlからなる膜厚10,000~12,000Åの金属層を被着し、その金属層を選択的にエッチングして上層の配線層6を形成す

(b) 上層の配線層6と下層の配線層3との交叉箇所の容量は、その配線層6、3の交叉箇所面積と酸化膜4の厚さによって決定される。そして従来の方法では、第2の配線層6の段差が大きくなるために酸化膜4をあまり厚くできず、その上交叉箇所面積が大きいため、その交叉箇所の容量が大きくなって配線容量が増し、それによって高速動作のさまたげとなっていた。

本発明は前記従来技術が持っていた問題点として、配線密度が低い点と、配線容量が大きい点について解決した配線形成方法を提供するものである。

(問題点を解決するための手段)

本発明は前記問題点を解決するために、半導体素子間を接続する多層配線の配線形成方法において、半導体素子間を分離するための第1の絶縁膜を半導体基板上に被着する工程と、前記第1の絶縁膜上において第1の配線層をリフトオフ法によって第2の絶縁膜中にその第2の絶縁膜よりも薄く埋込む工程と、全面に前記第2の絶縁膜と異な

る。この配線層6は、開孔部5を通して下層の配線層3と接続されており、その平面図が第3図に示されている。一般にゲートアレイを始めとする集積回路(IC、LSI、VLSI等)の配線層は、第3図のようにマトリクス状に配列されている。

なお、上記文献には、多層配線時に生じる配線層のエッジ部分の段差分をなくすために、絶縁層内に配線層を埋込んで平坦化し、それらを複数層積層することにより、断線や短絡を防止する技術も開示されている。

(発明が解決しようとする問題点)

しかしながら、上記構成の配線形成方法では、次のような問題点があった。

(a) 上層の配線層6を下層の配線層3に接続するためのコンタクト用の開孔部5は、下層の配線層6の幅内に形成されるため、その配線層6の幅をある程度大きくして接続箇所の余裕をとる必要があり、それによって高配線密度化のさまたげとなっていた。

るエッチングレートをも有する第3の絶縁膜を被着する工程と、前記第1の配線層にオーバーラップして前記第3の絶縁膜を選択的にエッチングしてコンタクト用開孔部を形成する工程と、前記第3の絶縁膜上に第2の配線層を被着しその第2の配線層を前記開孔部を通して前記第1の配線層に接続する工程とを、順に施すようにしたものである。

(作用)

本発明によれば、以上のように配線形成方法を構成したので、第1の配線層を第2の絶縁膜中に薄く埋込む工程は、第2の配線層との交叉箇所の絶縁膜を厚く形成することを可能にし、それによって交叉箇所の配線容量を減少させる。さらに、開孔部を第1の配線層にオーバーラップして形成する工程は、第1の配線層の幅及びピッチを狭くすることを可能にし、それによって配線密度を向上させる。従って前記問題点を除去できるのである。

(実施例)

第1図(a)~(f)は本発明の実施例に係る配線形成方法を示す製造工程の断面図、第4図は

配線形成後の平面図である。

この製造工程は、半導体素子間を接続する2層配線の製造工程を示すもので、以下図面を参照しつつ各工程を説明する。

(1) 第1図(a)の工程

シリコン基板等の半導体基板20の主表面に半導体素子を形成した後、全面に酸化膜等からなる半導体素子分離用の第1の絶縁膜21を被着し、続いて電子ビーム蒸着法やスパッタリング法等によってAl等からなる厚さ5,000~6,000Å程度の配線材22を形成する。

(2) 第1図(b)の工程

配線材22の上に例えばポジ型レジストを被着した後、ホトリソ技術によって配線層になる部分にのみそのポジ型レジストを残してレジストパターン23を形成する。

(3) 第1図(c)の工程

レジストパターン23をマスクにして不必要な配線材22をエッチングにより除去して第1の配線層22aを形成する。次に、ECR型

トリソエッチングにより選択的に除去し、コンタクト用の開孔部26を形成する。ここで、第1と第3の絶縁膜21、25を酸化膜とし、第2の絶縁膜24を窒化膜とした場合、第2と第3の絶縁膜24、25はエッチング速度が異なる。例えば、フッ化水素(HF)系のエッチング液(5%HF)では、第3の絶縁膜25をエッチングできるが、第2の絶縁膜24はほとんどエッチングされない。またドライエッチングでも、第2と第3の絶縁膜24、25のエッチング速度の差は50倍以上あり、第2の絶縁膜24はほとんどエッチングされない。そのため、開孔部26を第1の配線層22aにオーバーラップさせて形成しても、第2の絶縁膜24がストッパになり、例えば酸化膜からなる第1の絶縁膜21がエッチングされることはない。

(6) 第1図(f)の工程

電子ビーム蒸着法やスパッタリング法等により、Al等の配線材を厚さ10,000~12,000Å程度被着し、続いてその配線材を

プラズマ装置等を使用し、レジストパターン23をマスクにして例えば100℃以下の低温で窒化膜(Si_3N_4)等からなる厚さ8,000~9,000Å程度の第2の絶縁膜24を被着する。

(4) 第1図(d)の工程

レジストパターン23を例えばアセトン等に20~30分程度浸けて除去する。すると、リフトオフ法によってレジストパターン23上の第2の絶縁膜24も除去できる。これにより、第1の配線層22aは残存する第2の絶縁膜24中に埋込まれた構造となり、その第1の配線層22aが第2の絶縁膜24よりも例えば約2,000Å程度薄くなっている。次に、約400℃の気相成長法等により、酸化膜等からなる厚さ5,000~6,000Å程度の第3の絶縁膜25を全面に被着する。

(5) 第1図(e)の工程

第1の配線層22a上の第3の絶縁膜25を、その第1の配線層22aにオーバーラップさせてホ

選択的にエッチングして第2の配線層27を形成する。これにより、第1と第2の配線層22a、27は、開孔部26を通して接続される。このような第1と第2の配線層22a、27のマトリクス状配線パターンが第4図に示されている。第4図から明らかなように、コンタクト用の開孔部26は第1の配線層22aにオーバーラップしている。

以上のような製造工程によれば、第1と第2の配線層22a、27間を接続するための開孔部26を第1の配線層22aにオーバーラップして形成するようにしたので、第1の配線層22aの幅及びピッチを狭くでき、それによって配線密度が向上する。また、第1と第2の配線層22a、27における交叉箇所の面積を小さくでき、その上、第1の配線層22aを第2の絶縁膜24に埋込むようにして第2の配線層27との交叉箇所の絶縁膜を厚くしたため、その交叉箇所における配線容量を従来方法に比べて例えば40%程度小さくでき、それによって高速化が図れる。

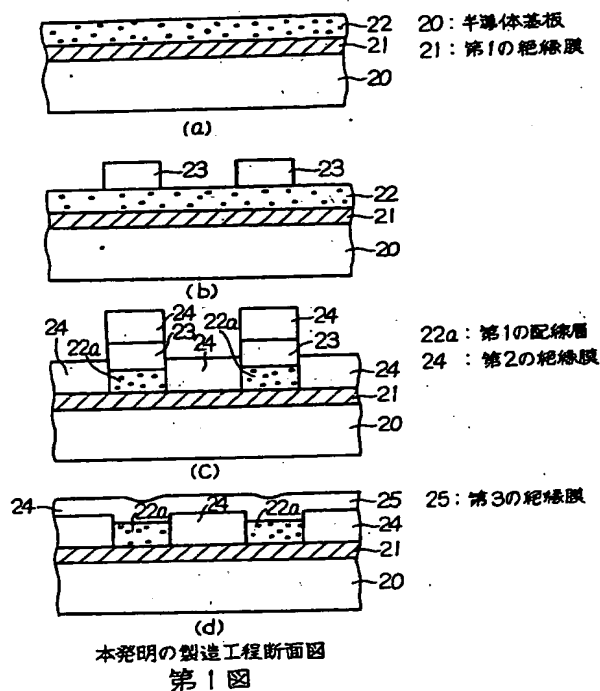
なお、上記実施例では2層配線の形成方法について説明したが、本発明は3層以上の多層配線の形成にも適用できる。

(発明の効果)

以上詳細に説明したように、本発明によれば、第1の配線層を第2の絶縁膜中にその第2の絶縁膜よりも薄く埋込むようにしたので、第2の配線層との交叉箇所の絶縁膜を厚くでき、それによって交叉箇所の配線容量が小さくなって高速化が図れる。さらに、開孔部を第1の配線層にオーバーラップして形成するようにしたので、第1の配線層の幅及びピッチを狭くでき、配線密度の向上が期待できる。

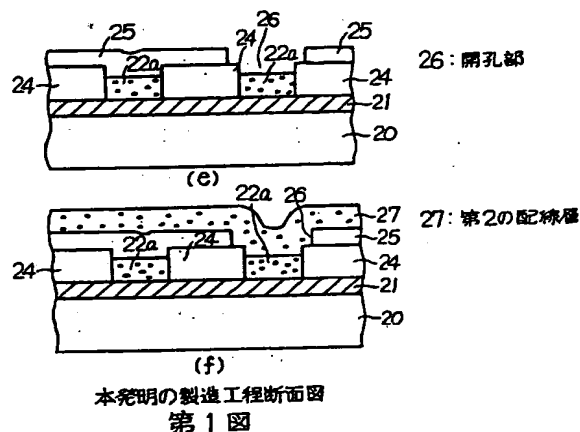
4. 図面の簡単な説明

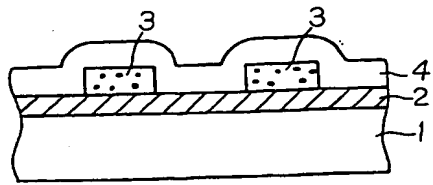
第1図(a)～(f)は本発明の実施例に係る配線形成方法を示す製造工程の断面図、第2図(a)～(c)は従来の配線形成方法を示す製造工程の断面図、第3図は第2図(c)の平面図、第4図は第1図(f)の平面図である。



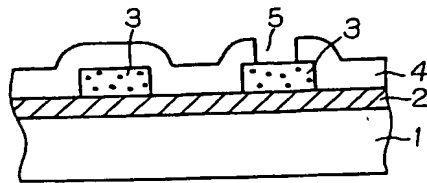
20……半導体基板、21、24、25……
第1、第2、第3の絶縁層、22a、27……
第1、第2の配線層。

出願人代理人 柿 本 恭 成

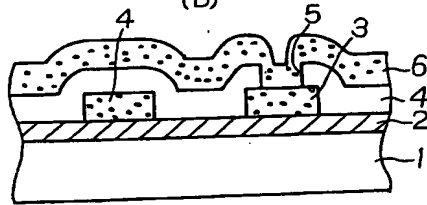




(a)



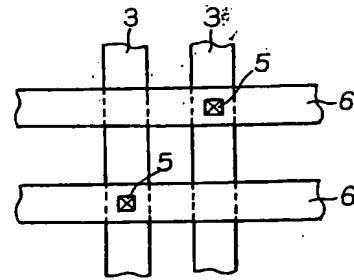
(b)



(c)

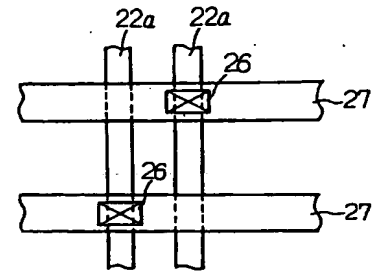
従来の製造工程断面図

第2図



第2図(c)の平面図

第3図



第1図(f)の平面図

第4図